

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



誘電体キャパシタの特性が著しく劣化してしまうという問題があった。

【0004】また、半導体メモリにおける誘電体キャパシタに用いられる誘電体膜、強誘電体膜は上述したように酸化膜であるため、トランジスタの活性化プロセスである、ホーミングアニールなどの還元性雰囲気の中における熱処理により、酸素欠陥が生じ、誘電体キャパシタの特性が著しく劣化するという問題があった。そこで、この酸素欠陥による特性の劣化を防止するために、水素の拡散を防止する効果を有する窒化膜で誘電体キャパシタを被覆することにより特性の劣化を防止することが提案されている。しかしながら、この窒化膜を形成するプロセスでは、大量の水素が発生してしまうのみならず、窒化膜と酸化膜である誘電体膜や強誘電体膜との界面では酸素欠陥が発生しやすくなっており、誘電体膜や強誘電体膜の特性劣化の原因となってしまう。ここで、一旦生成された酸素欠陥を酸化性雰囲気中の熱処理により解消しようとする、今度は窒化膜が酸化されてしまい、水素の拡散を防止する効果が失われてしまうなどの問題があった。

【0005】したがって、この発明の目的は、誘電体キャパシタの誘電体膜または強誘電体膜と周囲絶縁膜との反応による誘電体キャパシタの特性の劣化を防止することができ誘電体キャパシタおよびその製造方法を提供することにある。

【0006】この発明の他の目的は、誘電体キャパシタの誘電体膜または強誘電体膜の酸素欠陥による誘電体キャパシタの特性の劣化を防止することができる誘電体キャパシタおよびその製造方法を提供することにある。

【0007】【課題を解決するための手段】上記目的を達成するため、この発明の第1の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタにおいて、誘電体膜において、誘電体キャパシタが、Nb<sub>2</sub>O<sub>5</sub>、Ta<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、CeO<sub>2</sub>、Y<sub>2</sub>O<sub>3</sub>またはHf<sub>2</sub>O<sub>3</sub>からなる反応防止膜で覆われていることを特徴とするものである。

【0008】この発明の第2の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタにおいて、誘電体キャパシタが酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で覆われていることを特徴とするものである。

【0009】この第2の発明において、酸化膜として、は、各種の酸化膜を用いることができるが、特に、Nb<sub>2</sub>O<sub>5</sub>、Ta<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、CeO<sub>2</sub>、Y<sub>2</sub>O<sub>3</sub>またはHf<sub>2</sub>O<sub>3</sub>からなる膜を用いることにより、反応防止する効果を得ることができる。

【0010】この第2の発明において、水素拡散防止効果がある絶縁性の窒化膜の膜厚は、好適には、10～500nmの範囲から選ばれ、

【0011】この発明の第3の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタの製造方法において、誘電体キャパシタを被覆するようにしてNb<sub>2</sub>O<sub>5</sub>、Ta<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、CeO<sub>2</sub>、Y<sub>2</sub>O<sub>3</sub>またはHf<sub>2</sub>O<sub>3</sub>からなる反応防止膜を形成するようにしたことを特徴とするものである。

【0012】この第3の発明において、典型的には、反応防止膜を形成した後、酸素雰囲気中で熱処理する。

【0013】この第3の発明において、好適には、反応防止膜を形成した後、誘電体キャパシタを、オゾン(O<sub>3</sub>)を0.5%以上含む酸化雰囲気中で、300～600℃の温度で熱処理する。また、この第3の発明において、好適には、O<sub>3</sub>を0.5%以上含む酸化雰囲気中で熱処理を300～600℃の温度で行った後、酸素雰囲気中で熱処理する。

【0014】この発明の第4の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタの製造方法において、誘電体キャパシタを、酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で被覆するように形成するようにしたことを特徴とするものである。

【0015】この第4の発明において、典型的には、窒化膜の形成は減圧下で行う。

【0016】この発明の第4の発明において、水素拡散防止効果がある絶縁性の窒化膜の膜厚は、好適には、10～500nmの範囲から選ばれ、

【0017】この発明において、上部電極と下部電極とに挟まれた強誘電体膜の材料として用いられる誘電体膜に、組成式B<sub>1</sub>x(Sr, Ca, Ba)y(Ta, Nb)zO<sub>2</sub>(ただし、1.70≤x≤2.50、0.60≤y≤1.20、z=9±d、0≤d≤1.0)で表される結晶相を主たる結晶相として、好適には、85%以上含む強誘電体(若干のBiおよびTaまたはNbの酸化物や複合酸化物を含有してもよい)であり、後者の代表例はSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>7</sub>(SBT)であり、後者の代表例はPb(Zr, Ti)O<sub>3</sub>(PZT)である。

【0018】また、この発明において、反応防止膜の膜厚は、好適には、5～300nmの範囲から選ばれ、

【0019】上述のように構成されたこの発明の第1および第3の発明によれば、誘電体キャパシタを反応防止膜で被覆していることにより、誘電体キャパシタの誘電体膜と周囲絶縁膜との反応を防止することができる。

【0020】また、この発明の第2および第4の発明に

よれば、誘電体キャパシタを酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で被覆していることにより、ホーミングアニールなどの還元性雰囲気の熱処理により誘電体膜または強誘電体膜に酸素欠陥が生じるのを防止することができる。また、誘電体キャパシタと窒化膜との間には酸化膜が設けられているので、窒化膜と誘電体キャパシタの誘電体膜または強誘電体膜とが直接接することにより界面での酸素欠陥が発生する問題もない。

【0021】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の図面においては、同一または対応する部分には同一の符号を付す。

【0022】図1はこの発明の第1の実施形態による誘電体キャパシタを示す。図1に示すように、この誘電体キャパシタにおいては、導電性のSi基板1上に、例えばTi膜およびその上のP<sub>1</sub>膜からなる下部電極2と、強誘電体膜としてのSBT膜3と、例えばRuO<sub>2</sub>膜およびその上のRu膜からなる上部電極4とが順次積層されている。これらの膜の膜厚の一例を挙げると、Ti膜は30nm、P<sub>1</sub>膜は200nm、SB<sub>2</sub>Ta<sub>2</sub>O<sub>7</sub>膜は200nm、RuO<sub>2</sub>膜は200nm、Ru膜は20nmである。この誘電体キャパシタは、反応防止膜としてのTa<sub>2</sub>O<sub>5</sub>膜5で覆われており、このTa<sub>2</sub>O<sub>5</sub>膜5の表面はさらに周囲絶縁膜としてのSiO<sub>2</sub>膜6で覆われている。これらの膜の膜厚の一例を挙げると、Ta<sub>2</sub>O<sub>5</sub>膜5は30nm、SiO<sub>2</sub>膜6は200nmである。これらのTa<sub>2</sub>O<sub>5</sub>膜5およびSiO<sub>2</sub>膜6のうち、上部電極4の上の部分にはコンタクトホール7が設けられている。そして、このコンタクトホール7を通じて上部電極4と接続されるように例えばAl合金からなる引き出し電極8が設けられている。

【0023】次に、上述のように構成されたこの第1の実施形態による誘電体キャパシタの製造方法について説明する。

【0024】まず、Si基板1上に例えばスパッタリング法により通常の条件で後に下部電極2となるTi膜およびP<sub>1</sub>膜を順次成膜する。次に、P<sub>1</sub>膜上に、例えばゾル-ゲル法によりSBT膜3を形成する。次に、このSBT膜3上に例えばスパッタリング法あるいはMOCVD法により通常の条件で後に上部電極4となるRuO<sub>2</sub>膜およびRu膜を順次成膜する。

【0025】次に、このRu膜上にゾル-ゲル法により誘電体キャパシタの形状に対応した形状のレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、例えばArガス、O<sub>2</sub>ガスおよびCl<sub>2</sub>ガスの混合ガスを用いた例えばプラズマエッチング法によってTi膜の表面が露出するまでエッチングを行うことにより誘電体キャパシタの形状にパターンニング

する。その後、レジストパターンを除去する。【0026】次に、例えばMOCVD法により全面にTa<sub>2</sub>O<sub>5</sub>膜5を成膜する。

【0027】次に、Ta<sub>2</sub>O<sub>5</sub>膜5上にゾル-ゲル法により誘電体キャパシタの形状よりわずかに大きな形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えば反応性プラズマエッチング法によりTa<sub>2</sub>O<sub>5</sub>膜5および下部電極2のTi膜を順次エッチングする。その後、レジストパターンを除去する。

【0028】次に、例えば酸素雰囲気中において例えば700℃で30分間熱処理する。

【0029】次に、全面に例えばCVD法により通常の条件でSiO<sub>2</sub>膜6を成膜した後、Ta<sub>2</sub>O<sub>5</sub>膜5およびSiO<sub>2</sub>膜6のうち、上部電極4上の所定部分をエッチング除去してコンタクトホール7を形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極8を形成する。

【0030】以上の工程により、図1に示す目的とする誘電体キャパシタが製造される。

【0031】以上のようにして製造された誘電体キャパシタのSi基板1と引き出し電極8との間に電圧を印加して分極(P)-電圧(V)とヒステリシスを測定した結果、強誘電体メモリで重要な誘電分極値(残分分極値)2P<sub>r</sub>=20～26μC/cm<sup>2</sup>の値が得られた。この2P<sub>r</sub>の値はSBT膜3を用いた誘電体キャパシタとしては良好な値であり、これが、Si基板1を通した測定で得られた。これに対し、反応防止膜としてのTa<sub>2</sub>O<sub>5</sub>膜5を成膜せず、誘電体キャパシタをSiO<sub>2</sub>膜6で直接被覆した従来の誘電体キャパシタの誘電分極値2P<sub>r</sub>は、10μC/cm<sup>2</sup>以下であった。

【0032】以上のように、この第1の実施形態によれば、誘電体キャパシタとSiO<sub>2</sub>膜6との間に、反応防止膜としての酸素のトラップ効果が大きく熱的に安定なTa<sub>2</sub>O<sub>5</sub>膜5を設けていることにより、周囲絶縁膜としてのSiO<sub>2</sub>膜6と強誘電体膜としてのSBT膜3との間の反応を防止することができるので、誘電分極値の低下などの誘電体キャパシタの特性の劣化を防止することができ、したがって、誘電体キャパシタの信頼性を向上させることができる。

【0033】図2はこの発明の第2の実施形態による誘電体キャパシタを示す。図2に示すように、この誘電体キャパシタにおいては、導電性のSi基板1上に、1rO<sub>2</sub>膜およびその上の1r膜からなる下部電極12と、強誘電体膜としてのSBT膜13と、例えば1r膜からなる上部電極14とが順次積層されている。これらの膜の膜厚の一例を挙げると、下部電極12を構成する1rO<sub>2</sub>膜は100nm、1r膜は30nm、SBT膜13は150nm、上部電極14としての1r膜は10



部電極34となるTiN膜を成膜する。

【0061】次に、このTiN膜上にリソグラフィ工程により誘電体キャパシタの形状に対応したレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばArガス、O<sub>2</sub>ガスおよびC<sub>1</sub>2ガスの混合ガスを用いた例えばプラズマエッチング法により上部電極34のTiN膜、BST膜33、下部電極32を構成するRuO<sub>2</sub>膜、Ru膜およびTiN膜を順次エッチングする。その後、レジストパターンを除去する。

【0062】次に、全面に例えばCVD法により通常の条件でTa<sub>2</sub>O<sub>5</sub>膜35を成膜した後、このTa<sub>2</sub>O<sub>5</sub>膜35の表面に例えばCVD法により減圧下においてSiN膜36を成膜する。

【0063】次に、リソグラフィ工程によりSiN膜36上に誘電体キャパシタの形状よりわずかに大きいレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして例えば反応性プラズマエッチング法によりSiN膜36およびTa<sub>2</sub>O<sub>5</sub>膜35を順次エッチングする。その後、レジストパターンを除去する。

【0064】次に、窒素雰囲気中において例えば700℃で1時間熱処理した後、95%のN<sub>2</sub>ガスと5%のH<sub>2</sub>ガスとから構成されたホーミングガス中において例えば400℃で30分間熱処理する。

【0065】次に、例えばCVD法により全面にSiO<sub>2</sub>膜37を成膜する。その後、Ta<sub>2</sub>O<sub>5</sub>膜35、SiN膜36およびSiO<sub>2</sub>膜37のうち、上部電極34の上の所定部分をエッチング除去してコンタクトホール38を形成する。次に、例えばスパッタリング法により全面にAl1合金膜を成膜した後、このAl1合金膜をエッチングにより所定形状にパターンニングして引き出し電極39を形成する。

【0066】以上の工程により、図4に示す目的とする誘電体キャパシタが製造される。

【0067】以上のようにして製造された誘電体キャパシタ中のBST膜33の誘電率を測定した結果、誘電率として150〜200の値が得られた。この誘電率の値は誘電体キャパシタ中のBST膜33にとって良好な値である。これに対し、Ta<sub>2</sub>O<sub>5</sub>膜35およびSiN膜36で覆われていない誘電体キャパシタのBST膜33の誘電率は100以下であった。

【0068】この第5の実施形態によれば、第2の実施形態と同様の効果を得ることができる。

【0069】図5は、この発明の第6の実施形態による誘電体不揮発性メモリを示す。この第6の実施形態による誘電体不揮発性メモリは、メモリセルを構成する誘電体キャパシタとしてスタック型誘電体キャパシタを用いたものである。

【0070】図5に示すように、この第6の実施形態による誘電体不揮発性メモリにおいては、p型Si基板

41の表面にSiO<sub>2</sub>膜からなるフィールド絶縁膜42が選択的に設けられ、これによって素子分離が行われている。このフィールド絶縁膜42に囲まれた部分の活性領域の表面にはSiO<sub>2</sub>膜からなるゲート絶縁膜43が設けられている。符号44はゲート電極を示す。このゲート電極44の側壁にはSiO<sub>2</sub>からなるサイドウォールスペーサ45が設けられている。ゲート電極44の両側部分におけるp型Si基板41中には、n<sup>+</sup>型のソース領域46およびドレイン領域47が、このゲート電極44に対して自己整合的に設けられている。これらのゲート電極44、ソース領域46およびドレイン領域47によりnチャネルMOSトランジスタQが構成されている。この場合、サイドウォールスペーサ45の下部分におけるソース領域46およびドレイン領域47には、例えばn<sup>+</sup>型の低不純物濃度部46a、47aが設けられており、このnチャネルMOSトランジスタQはいわゆるLDD(Lightly Doped Drain)構造を有している。

【0071】符号48は例えばボウ素リンシケートガラス(BPSG)膜のような層間絶縁膜を示す。ソース領域46の上的所定部分における層間絶縁膜48にはコンタクトホール49が設けられ、このコンタクトホール49内に多結晶Siプラグ50およびその近傍の層間絶縁膜48の上面に第1の実施形態による誘電体キャパシタと同様の多結晶Siプラグ50およびその近傍の層間絶縁膜48の上面に第1の実施形態による誘電体キャパシタと同様の構造の誘電体キャパシタが設けられている。すなわち、多結晶Siプラグ50およびその近傍の層間絶縁膜48の上面に延在するように、例えば、所定形状のTi膜およびPt膜が順次堆積されており、これらのTi膜およびPt膜により下部電極51が形成されている。ここで、Ti膜の膜厚は例えば30nmであり、Pt膜の膜厚は例えば200nmである。この下部電極51のPt膜上には例えばSBT膜のような誘電体膜52が積層され、さらにその上に、例えばRuO<sub>2</sub>膜およびその上のRu膜からなる上部電極53が積層されている。下部電極51、誘電体膜52および上部電極53によりスタック型の誘電体キャパシタCが構成されている。そして、この誘電体キャパシタCとnチャネルMOSトランジスタQとにより、1個のメモリセルが構成されている。

【0072】誘電体キャパシタCは、例えばTa<sub>2</sub>O<sub>5</sub>膜からなる反応防止膜54で覆われており、さらに、例えばSiO<sub>2</sub>膜からなる層間絶縁膜55で覆われている。nチャネルMOSトランジスタQのドレイン領域47の上の部分における層間絶縁膜48および層間絶縁膜55にはコンタクトホール56が設けられている。また、層間絶縁膜55上には例えばAl1合金からなる配線電極57が設けられている。この配線電極57は、コンタクトホール56を通じてnチャネルMOSトランジスタQのドレイン領域47と接続されている。

【0073】以上のように、この第6の実施形態によれば、誘電体キャパシタCと層間絶縁膜55との間に反応防止膜54を設けていることにより、層間絶縁膜55と誘電体キャパシタCの誘電体膜52との反応を防止することができ、特性の良好な誘電体キャパシタを有する誘電体不揮発性メモリを得ることができる。

【0074】図6はこの発明の第7の実施形態による誘電体不揮発性メモリを示す。なお、図6において、図5と同一または対応する部分に同一の符号を付す。

【0075】図6に示すように、この第7の実施形態による誘電体メモリにおいては、誘電体キャパシタCの全面を覆うように反応防止膜54が設けられており、さらに、その反応防止膜54の表面を覆うようにして、水素拡散防止効果がある層間絶縁膜としての例えばSiN膜のような窒化膜58が設けられている。その他のことは第6の実施形態による誘電体不揮発性メモリと同様であるので、説明を省略する。

【0076】この第7の実施形態によれば、第6の実施形態と同様の効果を得ることができる。また、反応防止膜54の表面を窒化膜58で覆うようにしていることにより、ホーミングガス中の熱処理における水素の拡散を防ぐことができるので、水素の拡散による誘電体キャパシタCの特性の劣化を防ぐことができる。

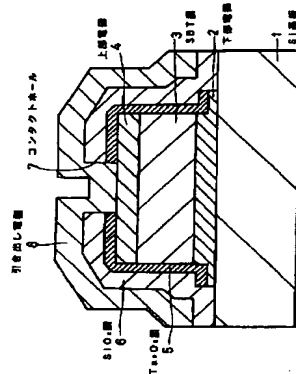
【0077】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0078】例えば、上述の実施形態において挙げた数値、構造、有機金属原料はあくまでも例に過ぎず、必要に応じてこれらとは異なる数値、構造、有機金属原料を用いてもよい。

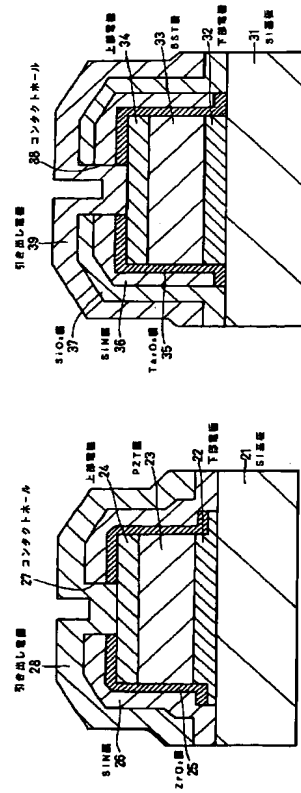
【0079】

【発明の効果】以上説明したように、この発明の第1の

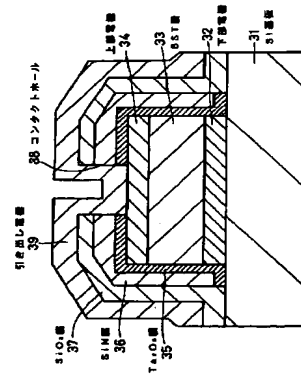
【図1】



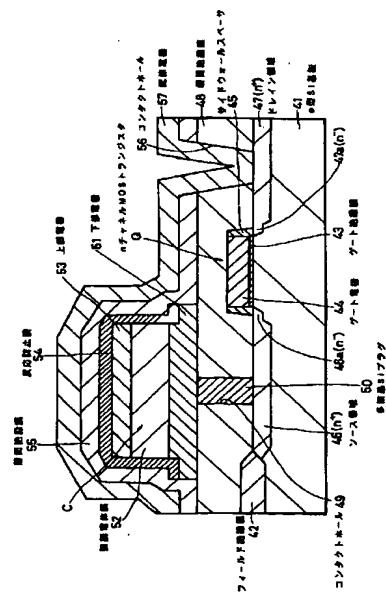
【图3】



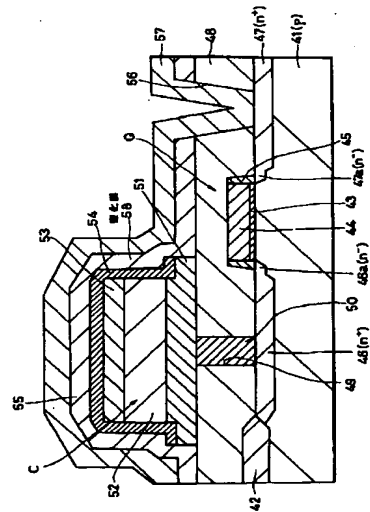
【图4】



【图5】



【图6】



フロントページの続き

(72) 発明者 渡部 浩司  
東京都品川区北品川6丁目7番35号 ソニ  
株式会社内

(10)